

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156263
 (43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H01L 27/10

(21)Application number : 11-340546

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30.11.1999

(72)Inventor : SAKURAI KAZUNORI

(54) MEMORY DEVICE, ITS MANUFACTURING METHOD, AND ELECTRONIC EQUIPMENT**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a memory device in a simple matrix structure with improved stability of write/read operation while reducing a memory cell size, and its manufacturing technique.

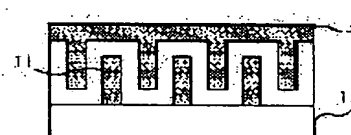
SOLUTION: In each memory cell, first and second linear electrodes are formed three-dimensionally so that they overlap also in a layer direction (horizontal direction). For example, one linear electrode is formed three-dimensionally so that it can be arranged at the depressed area of a recessed part being formed at the other linear electrode. Also, a branch part is formed in a comb shape at one linear electrode, and the electrode is formed three-dimensionally so that the branch part can be inserted into the depressed area of the recessed part being formed at the other linear electrode.



(a)



(b)



(c)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156263

(P2001-156263A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl.⁷

H 0 1 L 27/10

識別記号

4 5 1

F I

H 0 1 L 27/10

テーマコード(参考)

4 5 1

5 F 0 8 3

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号

特願平11-340546

(22) 出願日

平成11年11月30日 (1999. 11. 30)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 桜井 和徳

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外2名)

Fターム(参考) 5F083 FR01 GA09 JA15 JA38 LA03

PR03

(54) 【発明の名称】 メモリデバイス及びその製造方法、並びに電子機器

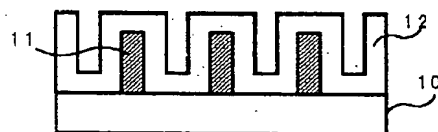
(57) 【要約】

【課題】 メモリセルのサイズを縮小しつつ、書込み／読み出し動作の安定性の高い単純マトリクス構造のメモリデバイス及びその製造技術を提供する。

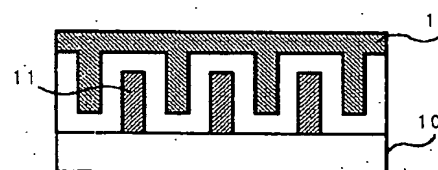
【解決手段】 各メモリセルにおいて、第1の線状電極と第2の線状電極を、層方向（水平方向）に対しても重なりを有するように立体的に形成する。例えば、一方の線状電極が、他方の線状電極に形成された凹部のくぼみ部分に配置されるように立体的に形成する。また、例えば、一方の線状電極に櫛状に枝部を形成し、他方の線状電極に形成された凹部のくぼみ部分に、前記枝部が挿入されるように立体的に形成する。



(a)



(b)



(c)

【特許請求の範囲】

【請求項1】 第1の線状電極と、前記第1の線状電極上に形成されたメモリ層と、前記メモリ層上に形成され、前記第1の線状電極に直交する第2の線状電極とを備えており、前記第1の線状電極と前記第2の線状電極が積層方向に重なる各交差部にメモリセルが形成される単純マトリクス構造のメモリデバイスであって、前記第1の線状電極と前記第2の線状電極は、前記各交差部において層方向に重なりを有するように形成されていることを特徴とするメモリデバイス。

【請求項2】 前記各交差部において、一方の線状電極が、他方の線状電極に形成された凹部のくぼみ部分に配置されていることを特徴とする請求項1記載のメモリデバイス。

【請求項3】 前記各交差部において、一方の線状電極には櫛状に枝部が形成されており、他方の線状電極に形成された凹部のくぼみ部分に、前記枝部が挿入されていることを特徴とする請求項1記載のメモリデバイス。

【請求項4】 前記メモリ層は強誘電体からなることを特徴とする請求項1乃至3のいずれか1項に記載のメモリデバイス。

【請求項5】 前記メモリ層は、チタン酸鉛 (PbTiO_3)、ジルコン酸チタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、ジルコン酸鉛 (PbZrO_3)、チタン酸鉛ランタン ($(\text{Pb}, \text{La}), \text{TiO}_3$)、ジルコン酸チタン酸鉛ランタン ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$) 又は、マグネシウムニオブ酸ジルコニウムチタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})(\text{Mg}, \text{Nb})\text{O}_3$) のうち何れかの強誘電体からなることを特徴とする請求項4記載のメモリデバイス。

【請求項6】 前記メモリ層は電荷移動錯体からなることを特徴とする請求項1乃至3のいずれか1項に記載のメモリデバイス。

【請求項7】 前記メモリ層を構成する膜は、ゾル・ゲル法、MOD法、スパッタ法又は印刷法で成膜されたものであることを特徴とする請求項1乃至請求項6のうち何れか1項に記載のメモリデバイス。

【請求項8】 2つの線状電極が積層方向に重なる各交差部にメモリセルが形成される単純マトリクス構造のメモリデバイスの製造方法であって、基板上に第1の線状電極を複数形成する第1工程と、前記第1の線状電極上にメモリ層を形成する第2の工程と、前記第1の線状電極の間に位置する前記メモリ層に対し溝部を形成する第3の工程と、第2の線状電極を、その一部が前記溝部の内部に入り込んだ状態で、前記第1の線状電極と直交する方向に複数形成する第4工程とを備えることを特徴とするメモリデバイス製造方法。

【請求項9】 2つの線状電極が積層方向に重なる各交

差部にメモリセルが形成される単純マトリクス構造のメモリデバイスの製造方法であって、

基板上に第1の線状電極を凹形状に複数形成する第1工程と、

前記第1の線状電極上にメモリ層を形成する第2の工程と、

前記第1の線状電極の凹形状のくぼみ部分に位置する前記メモリ層に対し溝部を形成する第3の工程と、

第2の線状電極を、その一部が前記溝部の内部に入り込んだ状態で、前記第1の線状電極と直交する方向に複数形成する第4工程とを備えることを特徴とするメモリデバイス製造方法。

【請求項10】 前記メモリ層は強誘電体からなることを特徴とする請求項8又は9記載のメモリデバイス製造方法。

【請求項11】 前記メモリ層は、チタン酸鉛 (PbTiO_3)、ジルコン酸チタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、ジルコン酸鉛 (PbZrO_3)、チタン酸鉛ランタン ($(\text{Pb}, \text{La}), \text{TiO}_3$)、ジルコン酸チタン酸鉛ランタン ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$) 又は、マグネシウムニオブ酸ジルコニウムチタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})(\text{Mg}, \text{Nb})\text{O}_3$) のうち何れかの強誘電体からなることを特徴とする請求項10記載のメモリデバイス製造方法。

【請求項12】 前記メモリ層は電荷移動錯体からなることを特徴とする請求項8又は9記載のメモリデバイス製造方法。

【請求項13】 請求項1乃至7のうち何れか1項に記載のメモリデバイスをメモリとして備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、単純マトリクス構造のメモリデバイス及びその製造技術に関わる。

【0002】

【従来の技術】 メモリデバイスとして、メモリ層に種々の材料を用いたものが開発されている。例えば、強誘電体材料は比誘電率が数百から数千と極めて大きく、キャパシタの材料に用いれば大規模集積回路に好適な小面積、大容量のキャパシタが得られる。強誘電体材料は自発分極を持ち、外部電場の作用により分極方向を反転させることができるため、この特性を用いて不揮発性メモリを製造することができる。

【0003】 強誘導体材料の分極特性は図10に示すようなヒステリシス特性を示す。強誘電体材料に電圧Eを印加して分極させた場合、電圧を“0”に戻しても、点100または点102で示される残留分極値±Prの状態が保持されるという特性があるため、点100または点102で示される残留分極値の各々にデジタル信号の“1”、“0”を対応させることで、不揮発性メモリとして機能させることができる。

【0004】具体的には、閾値電圧 V_c を越える充分な大きさの電圧 V （飽和電圧）を印加することによって、“0”を記録し、また、閾値電圧 $-V_c$ を越える充分な大きさの電圧 $-V$ （飽和電圧）を印加し、“1”の状態を記録する。この“1”の状態が記録されている場合に、電圧 V を印加すると、分極状態が点100から点102に転移する。この時、両分極差 $2Pr$ に相当する電荷が放出される。一方、“0”の状態にあるときは、点102→点101→点102と分極状態が変化するので両分極差は“0”である。従って、電圧 V の印加によって発生する電荷量を検出することにより、記憶状態が“1”か“0”かを読出すことができる。

【0005】この他、メモリ層の材料に誘電体又は電荷移動錯体を用いることができる。

【0006】図11は、前述した分極を利用したメモリデバイスのうち、単純マトリクス構造の具体的な構成を示す図である。このメモリデバイスは、支持体となる基板110の両面上に互いに交差した一対の線状の下部電極111、上部電極112が配置され、この両電極111、112間にメモリ層113が設けられて、上下線状電極111、112が積層方向に重なる交差部にメモリセルが構成される。ここで、積層方向とは、基板/下部電極/メモリ層/上部電極のように、製造過程において積層される方向を意味し、図では垂直方向に相当する。図12に、単純マトリクス構造が 3×3 のマトリクスの場合の等価回路を示す。図12(a)はメモリセル配置図、同図(b)は、メモリセル125に電圧を印加する場合の等価回路図である。

【0007】

【発明が解決しようとする課題】メモリデバイスにおいて、書込み/読み出しの安定性には、強誘電体の場合は残留分極値の大きさ、誘電体の場合はキャパシタ容量、電荷移動錯体の場合はインピーダンスが大きく関わる。これらの値がセンシング対象となる電荷量等に直接的に関係するためである。

【0008】残留分極値等の値は各メモリセルにおける電極の対向面積に大きく依存している。具体的には、例えばキャパシタの容量であれば、対向面積を S 、電極間距離を d 、誘電率を ϵ とすると、 $C = \epsilon S / d$ の関係がある。また、例えば残留分極値であれば、分極率を x 、電界の強さを E とすると、分極値 P は $P = x E$ の関係がある。強誘電体メモリは、この関係がヒステリシスを示す特性を利用している。

【0009】大容量メモリを実現するためには個々のメモリセルのサイズを縮小する必要があるが、従来の単純マトリクス構造のメモリデバイスにおいては、メモリセルは上下線状電極が積層方向に対向して誘電体等を挟む構造となっているため、メモリセルのサイズの縮小は上下電極の対向面積が縮小することを意味する。しかし、対向面積が縮小すると、キャパシタの容量や残留分極値

等が減少してしまっていて、書込み/読み出し動作が不安定になるという問題があった。

【0010】そこで、本発明は、メモリセルのサイズを縮小しつつ、書込み/読み出し動作の安定性の高い単純マトリクス構造のメモリデバイス及びその製造技術を提供することを目的とする。

【0011】また、本発明は、大容量かつ小型のメモリデバイス及びその製造技術を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明のメモリデバイスは、第1の線状電極と、前記第1の線状電極上に形成されたメモリ層と、前記メモリ層上に形成され、前記第1の線状電極に直交する第2の線状電極とを備えており、前記第1の線状電極と前記第2の線状電極が積層方向に重なる各交差部にメモリセルが形成される単純マトリクス構造のメモリデバイスであって、前記第1の線状電極と前記第2の線状電極は、前記各交差部において層方向に重なりを有するように形成されていることを特徴とする。

【0013】前記各交差部において、一方の線状電極が、他方の線状電極に形成された凹部のくぼみ部分に配置することにより、層方向に重なりを有するように形成することができる。

【0014】また、前記各交差部において、一方の線状電極には櫛状に枝部が形成されており、他方の線状電極に形成された凹部のくぼみ部分に、前記枝部が挿入されるように配置することによっても、層方向に重なりを有するように形成することができる。

【0015】本発明のメモリデバイスの製造方法は、2つの線状電極が積層方向に重なる各交差部にメモリセルが形成される単純マトリクス構造のメモリデバイスの製造方法であって、基板上に第1の線状電極を複数形成する第1工程と、前記第1の線状電極上にメモリ層を形成する第2の工程と、前記第1の線状電極の間に位置する前記メモリ層に対し溝部を形成する第3の工程と、第2の線状電極を、その一部が前記溝部の内部に入り込んだ状態で、前記第1の線状電極と直交する方向に複数形成する第4工程とを備えることを特徴とする。

【0016】また、基板上に第1の線状電極を凹形状に複数形成する第1工程と、前記第1の線状電極上にメモリ層を形成する第2の工程と、前記第1の線状電極の凹形状のくぼみ部分に位置する前記メモリ層に対し溝部を形成する第3の工程と、第2の線状電極を、その一部が前記溝部の内部に入り込んだ状態で、前記第1の線状電極と直交する方向に複数形成する第4工程とを備えるようにしても良い。

【0017】本発明のメモリデバイスにおいて、メモリ層を構成する膜はゾル・ゲル法、MOD法、スパッタ法又は印刷法で成膜することができる。また、メモリ層を

強誘電体もしくは電荷移動錯体からなるように構成することができる。強誘電体としては、チタン酸鉛 (PbTiO_3)、ジルコン酸チタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、ジルコン酸鉛 (PbZrO_3)、チタン酸鉛ランタン ($(\text{Pb}, \text{La})\text{TiO}_3$)、ジルコン酸チタン酸鉛ランタン ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$) 又は、マグネシウムニオブ酸ジルコニウムチタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})(\text{Mg}, \text{Nb})\text{O}_3$) のうち何れかの強誘電体を用いることができる。

【0018】本発明のメモリデバイスは、電子機器のメモリとして使用することができる。電子機器とは、コンピュータ、プリンタ等のCPU、メモリ、データの出入力装置を備えたものをいう。

【0019】本発明において、「層方向」とは、メモリ層や電極層を積層する方向(積層方向)に直交する方向であって、メモリ層や電極層を平面層とみなした場合の面方向に相当する。より具体的には、メモリデバイスを構成する層のベースとなる基板の面方向に相当する。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を、図を参照して説明する。

(メモリデバイス製造工程) 図1は、本発明のメモリデバイスの製造工程を示す図である。本実施形態では強誘電体層を形成する工程を備えている。

1) 下部電極形成工程(図1(a))

基板10上に下部電極層11を形成する。基板10は、強誘電体層の成形プロセスに対する耐熱性および耐食性を備えている。例えば、耐熱性については、強誘電体層の成形プロセスによって、例えば400℃～900℃以上となることがあるため、これらの温度に耐えられる性質を備えていることが好ましい。基板が耐熱性に優れていれば、強誘電体層の成形条件において、温度設定が自由に行えるからである。このような材料としては、例えば、石英ガラス、ソーダガラス、コーニング7059、日本電気ガラスOA-2等の耐熱性ガラスがある。特に、石英ガラスは、耐熱性に優れる。その歪点は、通常のガラスが400℃～600℃であるのに対し、1000℃である。

【0021】下部電極層11は、直流スパッタ法、電子ビーム蒸着法等で白金を成膜することで得られる。白金の他に好適な電極として、パラジウム等の貴金属電極、 IrO_2 、 RuO_2 、 ReO_3 等の導電性化合物がある。但し、下部電極に多結晶シリコンを使用すると、多結晶シリコンが強誘電体層に酸化されてしまい、界面に低誘電率のシリコン酸化物が形成されるため、キャパシタの特性が劣化してしまう。従って、下部電極層の材料の選択には注意を要する。

【0022】下部電極層11の成膜後、レジスト(図示せず)を塗布し、線状にパターニングを行い、これをマスクとしてドライエッチングを施す。かかる工程によ

り、線状の複数の下部電極11が形成されることになる。なお、図では、手前から奥に向かう方向に線状となっている。

【0023】各下部電極11の形状としては、例えば図2(a)に示すように、Y方向の辺よりもZ方向の辺の方が長く、X方向に線状となる直方体形状が考えられる。

【0024】また、例えば図2(b)に示すように、基板10に埋め込まれており、ZY断面が凹状であって、X方向に線状となる形状が考えられる。この場合、基板10に対してエッチングを行って溝を形成してから、その溝に下部電極11を成膜する。そして、前記溝に成膜された下部電極層に対して再度エッチングを行うことにより、断面が凹状となる下部電極を形成することができる。

2) メモリ層形成工程(図1(b))

下部電極11上に例えば強誘電体からなるメモリ層12を成膜する。本実施の形態ではゾル・ゲル法で強誘電体層をメモリ層として成膜する場合について説明する。強誘電体層12は、キャパシタに使用できるものあれば、その組成は任意のものを適用することができる。例えば、PZT系圧電性材料の他、ニオブや酸化ニッケル、酸化マグネシウム等の金属酸化物を添加したもの等が適用できる。具体的には、チタン酸鉛 (PbTiO_3)、ジルコン酸チタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、ジルコン酸鉛 (PbZrO_3)、チタン酸鉛ランタン ($(\text{Pb}, \text{La})\text{TiO}_3$)、ジルコン酸チタン酸鉛ランタン ($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$) 又は、マグネシウムニオブ酸ジルコニウムチタン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})(\text{Mg}, \text{Nb})\text{O}_3$) 等を適用することができる。

【0025】ゾル・ゲル法で成膜する場合は、強誘電体層を形成可能な金属成分の水酸化物の水和錯体、即ち、ゾルを下部電極11及び基板10上に塗布・乾燥・脱脂処理して強誘電体膜前駆体とし、この前駆体をRTA処理で結晶化して強誘電体薄膜を得る。具体的には、ジルコン酸鉛とチタン酸鉛とのモル混合比が56%:44%となるようなアモルファス状態のPZT系圧電体膜前駆体を、最終的な膜厚が、0.3μmとなるまで所望の回数の塗布/乾燥/脱脂を繰り返して成膜する。

【0026】前記ゾルは、例えば以下の方法により調整できる。2-*n*-ブトキシエタノールを主溶媒として、これにチタニウムテトライソプロポキシド、テトラ-*n*-ブトキシジルコニウムを混合し、室温下で20分間攪拌する。次いで、ジエタノールアミンを加えて室温で更に20分間攪拌する。更に酢酸鉛を加え、80℃に加熱する。加熱した状態で20分間攪拌し、その後、室温になるまで自然冷却する。この工程でゾルが得られる。このゾルを0.1μmの厚さでスピンコーティングする。ゾルの膜厚を均一にするために最初は500rpm

で30秒間、次に1500rpmで30秒間、最後に500rpmで10秒間、スピンコーティングする。そして、180℃/10分で乾燥した後、400℃/30分で脱脂する。更に、同様の工程を2回繰り返して強誘電体膜前駆体を成膜する。この強誘電体膜前駆体にRTAを用いて酸素雰囲気中で600℃で5分間、続けて850℃で1分間の連続熱処理を行い、結晶化する。以上の工程で膜厚0.3μmの強誘電体層が得られる。

【0027】また、強誘電体層の結晶化は水熱処理で行ってもよい。水熱処理とは、例えば、論文“Application of Hydrothermal Mechanism for Tailor-making Perovskite Titanate Films”, IEEE Proc. of the 9th Int'l Symp. on Electrets, Shanghai, China, Sept. 25-30, pp. 617-622 (1996), W-ping Xu, Masanori Okuyama, et al., に記述されているように、アルカリ水溶液に強誘電体膜前駆体を浸漬し、結晶化させる工程である。この水熱法によれば、比較的低温（例えば、200℃以下）で強誘電体膜前駆体を結晶化させることができる。

【0028】また、上述したゾル・ゲル法に限らず、高周波スパッタ、MOD法（Metal Organic Decomposition Process）、印刷法等でも強誘電体層12を成膜することができる。スパッタ成膜法に関しては、特開平8-277195号公報や、Japanese Journal of Applied Physics Vol. 32 pp4122-4125 “Preparation and Characterization of $Pb(Zr_{1-x}Ti_x)O_3$ Thin Films by Reactive Sputtering Using an Alloy Target”等の文献に詳細に記述されている。

【0029】また、印刷法による強誘電体層の成膜に関しては、特開平3-128681号公報等に詳細に開示されている。この印刷法は、電歪セラミックス粒子を主成分とするペーストやスラリーを用いて所望の基板上に成膜し、熱処理をすることで強誘電体層を得る技術である。この印刷法を用いれば、リソグラフィ技術やレーザ加工又はスライシング等の機械加工技術の適用が容易であり、強誘電体層の形状を任意に設計することができる。また、設計の自由度が向上することから、メモリデバイスとしてのキャパシタの集積密度を向上させることができる。

【0030】強誘電体層の成膜後、レジスト（図示せず）を塗布し、前記下部電極の位置との関係で定まる所定位置にパターニングを行い、これをマスクとしてドライエッチングを施して、溝部14を形成する（図3、図4参照）。

【0031】図3は、下部電極が直方体形状の場合に、その間に位置する強誘電体層に溝部14を形成した例である。この場合、溝部14の形状も、下部電極の形状に合わせて、Y方向の辺よりもZ方向の辺の方が長い形状であることが望ましい。

【0032】また、図4は、下部電極のZY断面が凹状の場合に、凹部のくぼみ部分に位置する強誘電体層に溝

部14を形成した例である。この場合、溝部14の形状は、下部電極の凹部のくぼみ部分の形状に合わせたものとなるが、Y方向の辺よりもZ方向の辺の方が長い形状であることがより望ましい。

【0033】ここで、図3(a)、図4(a)は、溝部14の形状がX方向に線状となっている例を、図3

(b)、図4(b)は、溝部14の形状がX方向に点線状となっている例を示している。

【0034】点線状の場合、X方向についての溝部の間隔は、後述する上部電極の間隔と等しい。ただし、溝部のX方向の辺の大きさは上部電極のX方向の幅よりも小さいものとする。また、各溝部はY方向に対しても直線上に並ぶように位置を合わせて形成することが好ましい。

【0035】なお、上述したメモリ層(12)として、電荷移動錯体を用いることができる。具体的な材料としては、7, 7', 8, 8'-テトラシアノキノジメタン(TCNQ)をベースとして、Cuなどをドナーとして用いた有機金属電荷移動錯体を用いることができる。その他、誘電体材料も適宜選択して用いることができる。

3) 上部電極形成工程（図1(c)）

上部電極層13は、直流スパッタ法、電子ビーム蒸着法等で白金を成膜することで得られる。白金の他に好適な電極として、パラジウム等の貴金属電極、 IrO_2 、 RuO_2 、 ReO_3 等の導電性化合物がある。但し、下部電極と同様に、上部電極の材料の選択には注意を要する。

【0036】ここで、強誘電体層には前記溝部14が形成されているため、上部電極層13はかかる溝部14を埋めながら成膜されることになる。

【0037】上部電極層13の成膜後、レジスト（図示せず）を塗布し、前記溝部14上を通過し下部電極11と直交する方向（Y方向）に線状にパターニングを行い、これをマスクとしてドライエッチング等を施す。かかる工程により、上部電極13が、前記溝部14の内部に入り込んだ状態で、下部電極11と直交する方向に複数形成されることになる。

【0038】ここで、溝部14が図3(a)、図4(a)のように線状に形成されている場合は、電極材料について選択性を有するエッチングプロセスとすることで、メモリセルを形成する部分以外の溝部について電極材料を除去することができる。なお、図3(b)、図4(b)のように点線状に形成されている場合は、溝部14はメモリセルを形成する部分についてのみ存在することになるため、溝部内の電極材料を除去する必要はない。

（構造の説明）図5～図8は、本発明の方法により製造されたメモリデバイスの構造の例を示す模式図である。各例において、メモリデバイス1は、基板10、下部電極11、強誘電体層12、上部電極13を備えている。

また、上部電極13上には絶縁膜15が形成されており、隣接するメモリセル間に絶縁膜15が入り込むことにより、クロストークの軽減が図られている。

【0039】なお、各例はデコード等の周辺回路を示していないが、メモリデバイスは、メモリを駆動するための種々の周辺回路を基板上に備えており、これらの周辺回路の形成は、通常の半導体ICプロセスを用いることによって容易に形成することができる。

【0040】図5(a)に示す例では、下部電極11は、Y方向(層方向)の辺よりもZ方向(積層方向)の方の辺が長い縦型コンポーネントであって、X方向に線状となるように、複数形成されている。図5(b)に説明のために下部電極11のみ取り出した図を示す。

【0041】また、上部電極13は、強誘電体層12を挟んで下部電極11をまたぐ凹部16を備えており、Y方向に線状となるように、複数形成されている。図5(c)に説明のために上部部電極13のみ取り出した図を示す。

【0042】すなわち、下部電極11と上部電極13がZ方向(積層方向)から見て重なる各交差部において、下部電極が上部電極に形成された凹部16のくぼみ部分に配置されることになる。かかる構成では、下部電極11と上部電極の凹部16が対向する領域17が一つのメモリセルを構成している。

【0043】図6(a)に示す例では、下部電極11は、Y方向(層方向)の辺よりもZ方向(積層方向)の方の辺が長い縦型コンポーネントであって、X方向に線状となるように、複数形成されている。図6(b)に説明のために下部電極11のみ取り出した図を示す。

【0044】また、上部電極13は、櫛状に枝部18が形成されており、かかる枝部18が下部電極11の間に挿入された状態で、Y方向に線状となるように、複数形成されている。図6(c)に説明のために上部部電極13のみ取り出した図を示す。

【0045】すなわち、上部電極13において2つの枝部により凹部16が形成されているとみなせば、下部電極11と上部電極13がZ方向(積層方向)から見て重なる各交差部において、下部電極が上部電極に形成された凹部のくぼみ部分に配置されることになる。かかる構成では、下部電極11と上部電極の凹部16が対向する領域17が一つのメモリセルを構成している。

【0046】図7(a)に示す例では、下部電極11は、ZY断面がZ方向(積層方向)に開口する凹形状であって、X方向に線状となるように、複数形成されている。図7(b)に説明のために下部電極11のみ取り出した図を示す。

【0047】また、上部電極13は、櫛状に枝部18が形成されており、かかる枝部18が下部電極11の凹部のくぼみ部分に挿入された状態で、Y方向に線状となるように、複数形成されている。図7(c)に説明のため

に上部部電極13のみ取り出した図を示す。

【0048】すなわち、下部電極11と上部電極13がZ方向(積層方向)から見て重なる各交差部において、下部電極に形成された凹部のくぼみ部分に、上部電極に形成された枝部が挿入された状態で配置されることになる。かかる構成では、下部電極11と上部電極の枝部18が対向する領域17が一つのメモリセルを構成している。

【0049】図8(a)に示す例では、下部電極11は、Z方向(積層方向)に開口する複数の凹部19を備えており、X方向に線状となるように、複数形成されている。凹部19の形状は図では直方体形状となっているが、円筒形状であってもよい。図8(b)に説明のために下部電極11のみ取り出した図を示す。

【0050】また、上部電極13は、櫛状に枝部18が形成されており、かかる枝部18が下部電極11の凹部19のくぼみ部分に挿入された状態で、Y方向に線状に、複数形成されている。枝部18の形状は、例えば前記凹部19の形状に合わせて構成することが望ましい。図8(c)に説明のために上部部電極13のみ取り出した図を示す。

【0051】すなわち、下部電極11と上部電極13がZ方向(積層方向)から見て重なる各交差部において、下部電極に形成された凹部19のくぼみ部分に、上部電極に形成された枝部18が挿入された状態で配置されることになる。かかる構成では、下部電極11の凹部19と上部電極の枝部18が対向する領域17が一つのメモリセルを構成している。

【0052】以上の各例では、各メモリセルにおいて、上下の電極が立体的に重なるように、すなわち上下の電極が層方向においても対向面を持つように形成されているため、基板上の占有面積を増やすことなく、メモリセル当りの電極対向面積を増加させることができる。ここで、層方向とは、積層方向に直交する方向を意味し、図では水平方向に相当する。特に、下部電極、凹部のくぼみ部分、枝部などの形状を、Y方向の辺よりもZ方向の辺の方が長くなるように形成することで、基板上の占有面積を増やすことなく、よりいっそう電極対向面積を増加させることができる。

【0053】その結果、強誘電体であれば残留分極値を十分に確保することができ、誘電体であればキャパシタ容量を十分に大きくすることができ、電荷移動錯体であれば検出電流値を大きくでき、メモリセル当りの基板占有面積が小さい大容量メモリにおいても書込み・読み出しの安定性を向上させることができる。

(強誘電体メモリデバイス書込み・読み出し動作)以下、強誘電体材料を用いた場合のメモリデバイスの書込み・読み出し動作を説明する。

【0054】図9に本発明のメモリデバイスの全体構成図を示す。下部電極、上部電極には、それぞれX方向デ

コーダの行線91、Y方向デコーダの列線92が接続されている。かかる図に基づいて、メモリデバイスの書き込み・読み出し動作を説明する。なお、強誘電体の残留分極値が $-Pr$ となる場合を"1"、 Pr となる場合を"0"として説明を行う。

【0055】最初に、書き込み動作について説明する。外部から供給されるアドレス信号に基づいて、前記X方向デコーダ、Y方向デコーダにより、書き込み対象となるメモリセル93が選択される。各デコーダには電圧発生器より $\pm 1/2 V$ の電圧信号が供給され、かかる電圧信号は選択されたメモリセル93に対応する行線、列線に出力される。なお、Vはヒステリシス特性における飽和電圧であり、自発分極を生じさせるためのしきい値電圧は $1/2$ 以上であるとする。

【0056】ここで、X方向デコーダとY方向デコーダでは、供給される電圧信号の極性は常に互いに逆極性となっている。すなわち、選択したメモリセル93に"1"を書き込む場合は、X方向デコーダには $-1/2 V$ 、Y方向デコーダには $+1/2 V$ が供給され、"0"を書き込む場合は、X方向デコーダには $+1/2 V$ 、Y方向デコーダには $-1/2 V$ が供給されることになる。

【0057】その結果、選択したメモリセル93に電圧 $+V$ （もしくは $-V$ ）が印加されることとなり、メモリセル内の強誘電体層が分極する。分極した後は、電圧Vが印加されない状態においても残留分極値 $-Pr$ が保持されるため、"1"を記憶することができる。

【0058】なお、選択したメモリセル93と同じ行線、列線に接続される非選択メモリセルに対しては、印加される電圧が $1/2$ となるため、自発分極は生じず、書き込みは行われない。

【0059】次に読み出し動作について説明する。読み出し時においては、常に、X方向デコーダには $+1/2 V$ が、Y方向デコーダには $-1/2 V$ が供給される。その結果、選択したメモリセルには電圧 $+V$ が印加され、記録状態が"1"、すなわち残留分極値が $-Pr$ の場合には、分極状態が $-Pr$ から Pr に分極反転することになる。一方、記憶状態が"0"、すなわち残留分極値が Pr の場合には、分極状態は Pr から一旦増加した後また Pr に戻るため、残留分極値は Pr のままとなる。

【0060】従って、記録状態が"1"の場合にのみ、分極状態が $-Pr$ から Pr に反転し、電荷が放出されて反転電流が生じる。なお、記録状態が"0"の場合にも、少量の電流が生じるが、前記反転電流に比べ充分に小さいものとなる。前記反転電流は電圧変換された後センスアンプにおいて基準電圧と比較され、基準電圧より大きい場合に記録状態"1"として読み出されることになる。

【0061】この際、分極状態が $-Pr$ から Pr に反転してしまうため、通常は自動的に再度"1"を書き込む動作を行う様に制御する。

（その他変形例）本発明により製造したメモリデバイスは、メモリを備える全ての情報処理機器を始めとする電子機器、例えばコンピュータの内部記憶装置、メモリスティック、メモリカードなどに用いることができる。

【0062】なお、本発明は上述したように各実施例に限定されることなく、種々に変形して適用することが可能である。例えば、本発明は、強誘電体層の代わりに誘電体層を用いることもできる。また、強誘電体層の代わりに、電圧によりインピーダンスが変化し2値をとる電荷移動錯体材料を用いることにより、単純マトリクス構造の不揮発メモリとして適用することもできる。

【0063】

【発明の効果】本発明によれば、各メモリセルにおいて、上下の電極が立体的に重なるように、すなわち上下の電極が層方向においても対向面を持つように形成したことにより、メモリセルのサイズを縮小しつつ、書き込み／読み出し動作の安定性を向上させることができる。その結果、動作安定性の高い大容量メモリを実現することができる。

【図面の簡単な説明】

【図1】本発明のメモリデバイスの製造工程を示す

【図2】本発明のメモリデバイスにおける、下部電極の形状の例を示す図である。

【図3】メモリデバイスの製造工程において形成される溝部の形状の例を示す図である。

【図4】メモリデバイスの製造工程において形成される溝部の形状の例を示す図である。

【図5】本発明のメモリデバイスの構造を説明するための図である。

【図6】本発明のメモリデバイスの構造を説明するための図である。

【図7】本発明のメモリデバイスの構造を説明するための図である。

【図8】本発明のメモリデバイスの構造を説明するための図である。

【図9】本発明のメモリデバイスの全体構造を説明するための図である。

【図10】強誘電体材料のヒステリシス特性を説明するための図である。

【図11】単純マトリクス構造のメモリデバイスを説明するための図である。

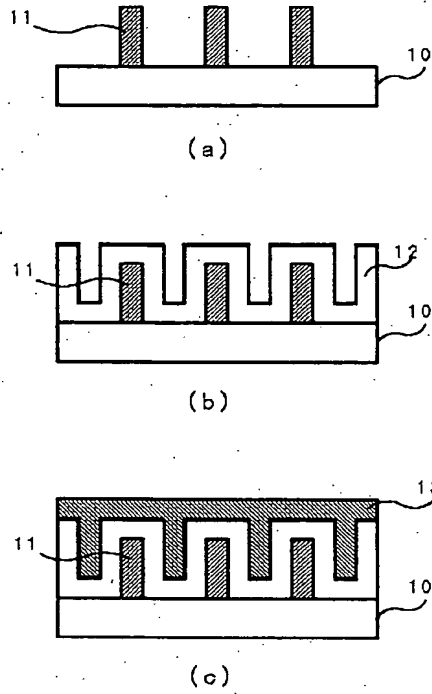
【図12】単純マトリクス構造のメモリデバイスの等価回路を示す図である。

【符号の説明】

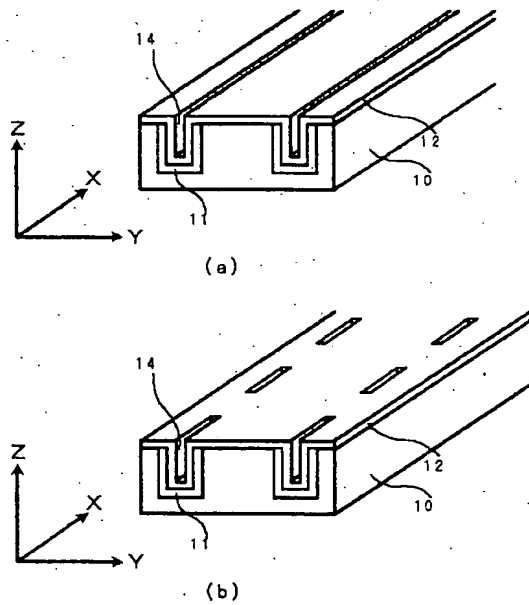
- 10、110 基板
- 11、111 下部電極
- 12、112 強誘電体層
- 13、113 上部電極
- 14 溝部
- 15 絶縁膜

- 16 凹部
17 メモリセル領域
18 枝部

【図1】

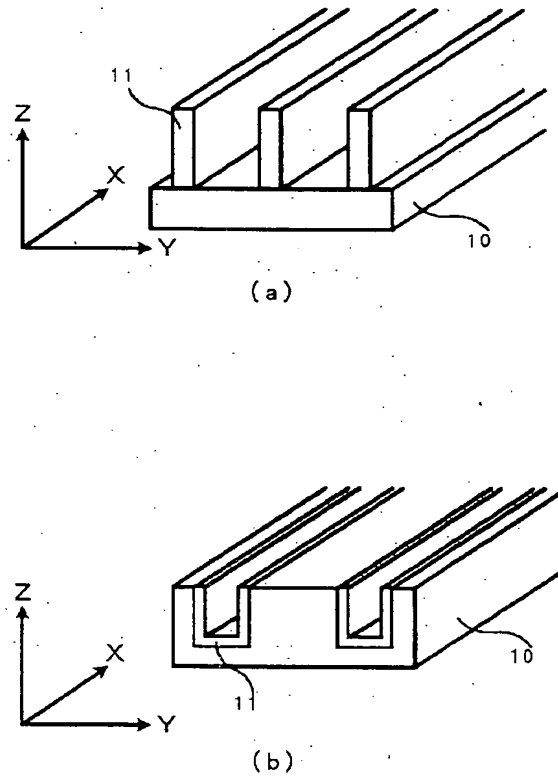


【図4】

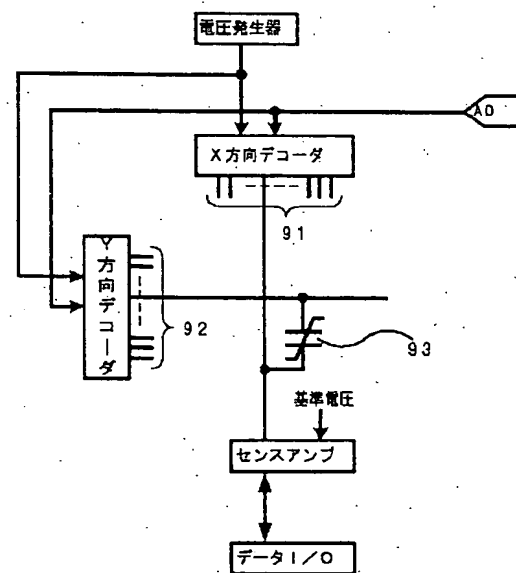


- 91 行線
92 列線
93 メモリセル

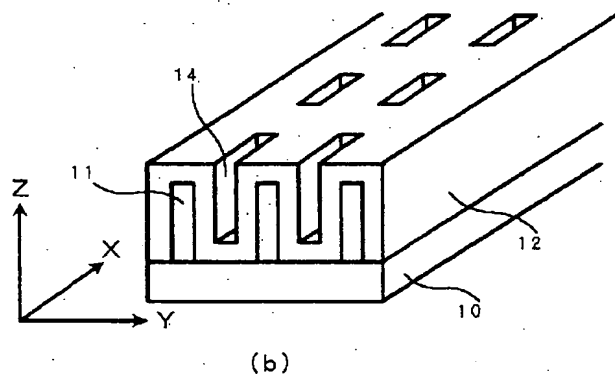
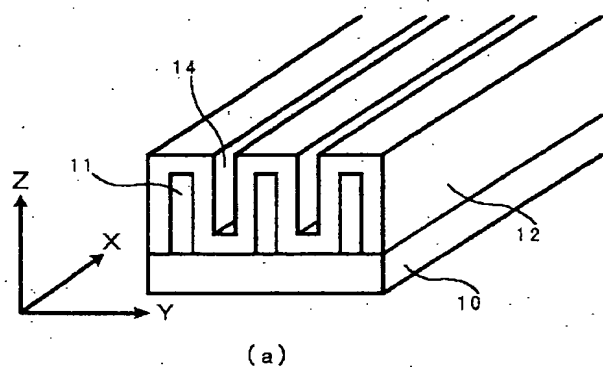
【図2】



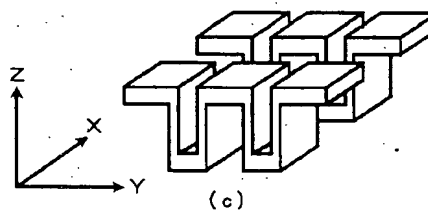
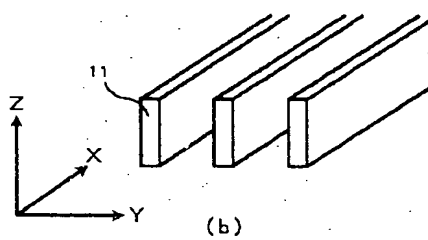
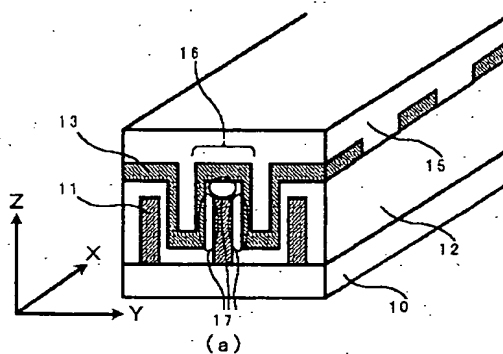
【図9】



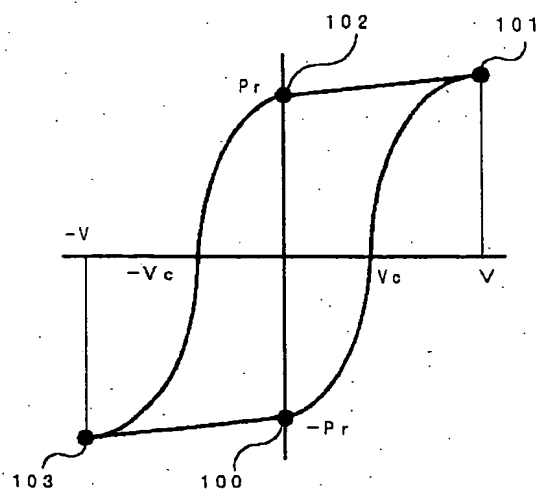
【図3】



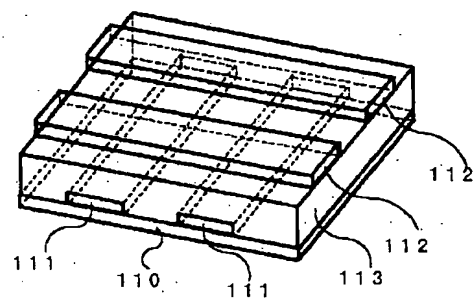
【図5】



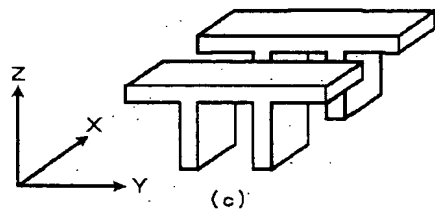
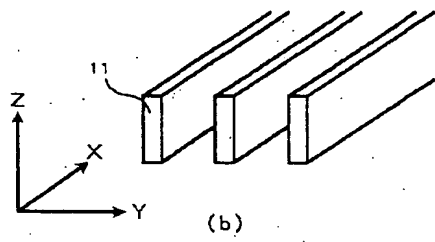
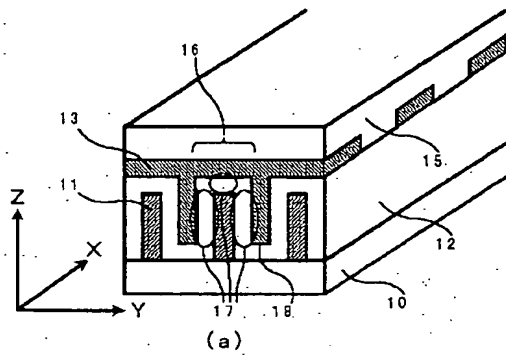
【図10】



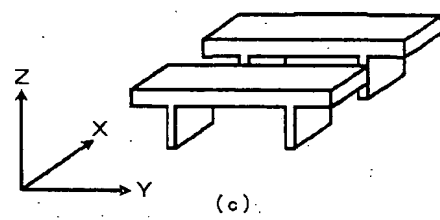
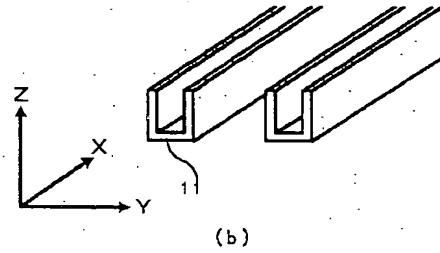
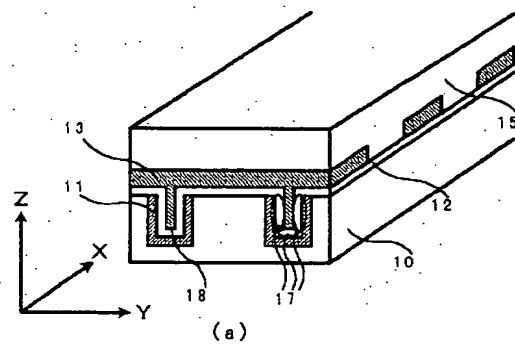
【図11】



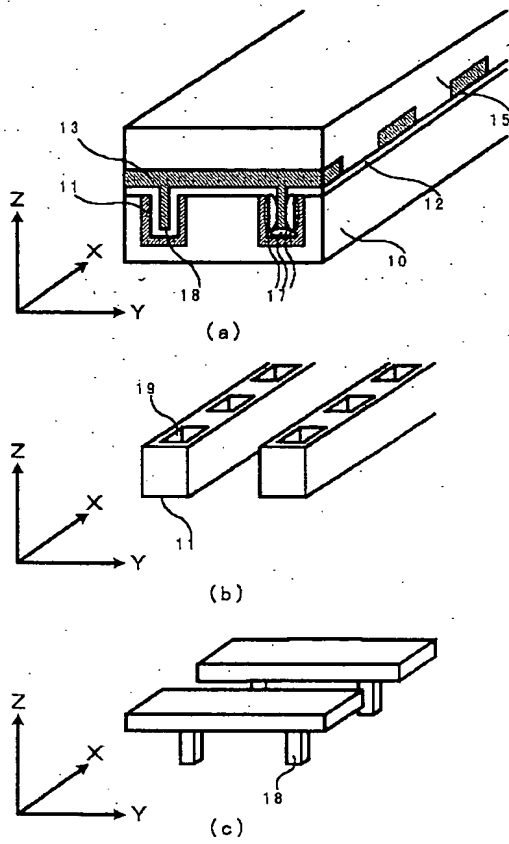
【図6】



【図7】



【図 8】



【図 12】

